

⑫ 公開特許公報(A) 平2-144971

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月4日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 2 1 V

審査請求 未請求 請求項の数 5 (全7頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑰ 特 願 昭63-298386

⑱ 出 願 昭63(1988)11月28日

⑲ 発 明 者 吉 田 功 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 森 川 正 敏 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 久 礼 得 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 半導体基板中に、ドレイン領域を形成する第1導電形の第1の領域を配置し、上記基板の表面から該第1の領域に達する溝を設け、該溝の中に絶縁膜を介してゲート電極を配置し、上記溝外側面上方に、ソース領域を形成する第1導電形の第2の領域を、その下方に第2導電形の第3の領域を配置し、該第3の領域に基板に実質的に垂直なチャンネルを形成する絶縁ゲート型電界効果トランジスタを有する半導体装置において、上記第3の領域が上記第1の領域と接する面の所望の部分を上記溝より深い位置に設けたことを特徴とする半導体装置。

2. 上記第2の領域は、平面的に円環又は円環の一部の形状であり、上記溝は、該円環又は円環の一部の形状の第2の領域の外側に配置されて

いる請求項1記載の半導体装置。

3. 上記第3の領域は、ライフタイムキラーが導入されていることを特徴とする請求項1記載の半導体装置。

4. 上記基板は、上記絶縁ゲート型電界効果トランジスタの周囲に、上記基板表面から上記第1の領域より深い位置に達する他の溝を有し、該他の溝の中にアイソレーション領域を有し、該他の溝の外側に他の絶縁ゲート型電界効果トランジスタが配置されたことを特徴とする請求項1記載の半導体装置。

5. 第1導電型の基板中に第2導電型の不純物を導入して第3の領域を形成する工程、該第3の領域の所望の部分にさらに第2導電型の不純物を導入して該所望の部分の底部を他の第3の領域の底部より深い位置に設ける工程、上記基板表面に絶縁物のパターンを形成し、絶縁物のマスクを形成する工程、該マスクを用いて第1導電型の不純物を導入し、ソース領域となる第2の領域を形成する工程、上記マスクを用いて、

上記第3の領域の所望の部分の底部より浅く、他の第3の領域の底部より深い溝を形成する工程及び該溝中の周囲にゲート絶縁膜を設け、さらにその内側にゲート電極を設ける工程を含み、上記第3の領域に、基板に実質的に垂直なチャンネルを有する絶縁ゲート型電界効果トランジスタを製造することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置及びその製造方法に係り、特にいわゆる縦型の絶縁ゲート型（以下MISと略す）電界効果トランジスタ（以下FETと略す）を有する半導体装置及びその製造方法に関する。

〔従来技術〕

従来、チャンネルの電流が基板に対し縦に流れるいわゆる縦型のMISFETについては、特開昭58-3287及びアイ・イー・デー・エム、テクニカルダイジェスト、第674頁～第677頁（1987）（IDEM, Technical Digest pp.674～677（1987））

本発明の目的は、L負荷ラッチング耐量の向上した信頼性に優れた半導体装置及びその製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的は、（1）半導体基板中に、ドレイン領域を形成する第1導電形の第1の領域を配置し、上記基板の表面から該第1の領域に達する溝を設け、該溝の中に絶縁膜を介してゲート電極を配置し、上記溝外側面上方に、ソース領域を形成する第1導電形の第2の領域を、その下方に第2導電形の第3の領域を配置し、該第3の領域に基板に実質的に垂直なチャンネルを形成する絶縁ゲート型電界効果トランジスタを有する半導体装置において、上記第3の領域が上記第1の領域と接する面の所望の部分を上記溝より深い位置に設けたことを特徴とする半導体装置、（2）第1導電形の基板中に第2導電形の不純物を導入して第3の領域を形成する工程、該第3の領域の所望の部分にさらに第2導電形の不純物を導入して該所望の部分の底部を他の第3の領域の底部より深い位置に設

に論じられている。前者に記載のMISFETの断面図を第7図に示す。高濃度半導体基板1上にn型ドレイン領域2、p型ベース領域3、n型ソース領域4が順次形成され、上記n型ソース領域4からn型ドレイン領域2に達するように形成された溝中にゲート絶縁膜5を介してゲート電極6が埋め込まれている。7はソース電極、8はドレイン電極、9はシリコン酸化膜である。このMISFETは、チャンネルの電流が縦に流れるため、単位セル当りの電流密度が増大し、オン抵抗が減少している。また、ソース領域がプレーナ型より小さく形成されているので、ソースをエミッタとし、ドレイン領域2とベース領域3とで構成される寄生バイポーラトランジスタの動作が低く抑えられ、L負荷ラッチング耐量や熱的破壊強度が向上した。

〔発明が解決しようとする課題〕

上記従来技術は、素子の信頼性について十分な配慮がされておらず、L負荷ラッチング耐量がおお不十分であるという問題があった。

ける工程、上記基板表面に絶縁物のパターンを形成し、絶縁物のマスクを形成する工程、該マスクを用いて第1導電型の不純物を導入し、ソース領域となる第2の領域を形成する工程、上記マスクを用いて、上記第3の領域の所望の部分の底部より浅く、他の第3の領域の底部より深い溝を形成する工程及び該溝中の周囲にゲート絶縁膜を設け、さらにその内側にゲート電極を設ける工程を含み、上記第3の領域に、基板に実質的に垂直なチャンネルを有する絶縁ゲート型電界効果トランジスタを製造することを特徴とする半導体装置の製造方法によって達成される。

〔作用〕

前記第7図に示した従来の半導体装置では、本発明における前記第3の領域に相当するベース領域3とドレイン領域2とが接する面が、絶縁膜を介してゲート電極と接する所でブレイクダウンが生じる。

それに対して本発明では、前記第3の領域の所望の部分、すなわち、より深い位置にその底部が

ある部分から下方にブレイクダウンが発生する。
そのためL負荷ラッチング耐量は向上する。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図は縦型パワーMOSFETの主要セル部の断面構造図である。抵抗率が $0.01\Omega\cdot\text{cm}$ のn形高濃度半導体基板1の上に抵抗率が $0.8\Omega\cdot\text{cm}$ 、厚さが $10\mu\text{m}$ のn形エピタキシャル層からなるドレイン領域2、その上にシート抵抗が $500\Omega/\square$ 、深さが $1.0\mu\text{m}$ のp形ベース領域3が形成されている。この領域は前記第3の領域に相当するが以下ベース領域という。この領域の一部はp形の高濃度ベース領域13が存在し、その深さは $1.5\mu\text{m}$ である。表面からドレイン領域2に達する溝中には、厚さ 50nm のゲート酸化膜5が周囲に設けられ、その中に多結晶シリコンのゲート電極6が設けられている。溝の外側上部には、溝に接してシート抵抗が $500\Omega/\square$ 、深さが $0.5\mu\text{m}$ のn形高濃度ソース領域4が設けられている。7はAlのソース電極、8はTi-Ni-Agのドレイン電極そして9

削れ量は約 $0.1\mu\text{m}$ である。(e)そして厚さ 50nm のシリコン酸化膜をゲート絶縁膜5としてCVD法により被着する。(f)ゲート電極6となる多結晶シリコンを溝幅の2分の1以上の膜厚で被着して溝を充填した後、SF₆ガスのドライエッチングにより全面エッチングして溝内のみに図のごとく多結晶シリコンを残存させる。なお多結晶シリコンは燐を $5\times 10^{20}/\text{cm}^3$ の濃度にドーピングして低抵抗にしておく。燐や砒素を多結晶シリコン被着時に添加しておいてもよい。(g)熱酸化によってシリコン酸化膜9を図のごとく形成し、シリコン窒化膜10を除去する。(h)取り出し電極として、ソース電極7及びドレイン電極8を形成する。

本実施例の構造は、ソース領域4がゲート電極6を有するU字形溝形成によって自己整合的に小さく形成されていることである。これにより、ソース領域4の断面形状における幅すなわち横方向の長さは、深さすなわち縦方向の長さより短く形成できるので、ソースをエミッタとしベース領域

はシリコン酸化膜である。

第2図はこの縦型パワーMOSFETの製造プロセスを示す主要部の断面構造図である。(a) n^+ 高濃度半導体基板1の上にn形エピタキシャル層を成長させp型ベース領域3を $1.0\mu\text{m}$ の深さに形成する。(b)厚さ $0.2\mu\text{m}$ のシリコン窒化膜10を所望のパターンに形成し、その上にホトレジスト103を所望のパターンに形成する。高エネルギーイオン打ち込みによりBを $1\times 10^{15}/\text{cm}^2$ 打ち込み、ホトレジスト膜103を除去後熱処理によりBを拡散し高濃度ベース領域13を $1.45\mu\text{m}$ の深さに形成する。従ってこの状態では(b)に示した断面構造からホトレジスト膜103が除かれた構造となっている。(c)上記シリコン窒化膜10の上にホトレジスト膜104を形成し、所望の形状とする。開口部に $1\times 10^{15}/\text{cm}^2$ の砒素をイオン打ち込みし、熱処理により、 $0.5\mu\text{m}$ の深さにしてソース領域4を形成する。(d)しかる後、SiCl₄ガスのドライエッチングにより、深さ $1.1\mu\text{m}$ のU字形溝11を形成する。このときシリコン窒化膜の

3とドレイン領域2とで構成される寄生バイポーラトランジスタ動作が低く抑えられる。また高濃度ベース領域13が深部迄導入されているので、ドレイン・ベース間のブレイクダウンはこの領域の底部発生する。その結果ドレイン耐圧は65Vに低下したがL負荷ラッチングは向上した。

本実施例によれば、 3.5mm チップのパワーMOSFETにおいてドレイン耐圧が60V、オン抵抗が $10\text{m}\Omega$ 、L負荷ラッチング耐量が $100\mu\text{H}$ 、50Vに対して35Aでも破壊しなかった。

次に本発明の他の実施例を第3図を用いて説明する。第3図(a)はパワーMOSFETの主要部の平面図、第3図(b)は同図(a)のA-A'断面図である。全面にソース電極に接続されたソース領域4及びベース領域3の平面形状はそれぞれ円環形状である。ここで一セルのゲート絶縁膜5の直径は $3\mu\text{m}$ である。またソース領域4の幅はゲート電極6を有するU字形溝部分によって自己整合されて一様の大きさになっているので、全面ソース電極7に接続されたベース領域

3の大きさも一定に確保される。この結果ベース抵抗は小さく抑えられ、寄生バイポーラトランジスタ動作も発生しにくい。

次に本発明の他の実施例を第4図を用いて説明する。図はパワーMOSFETの主要部の平面図であり、ソース領域4の平面形状が円環の一部の形状をしている。ゲート絶縁膜として厚さ60nmの酸化タンタル膜と厚さ20nmのシリコン酸化膜の複合膜を用いた。その結果単位面積当りのゲート幅つまり実装密度が約2倍向上し、またゲート面積が増加したにもかかわらず、歩留まりの低下はみられなかった。

次に本発明の他の実施例を第5図を用いて説明する。図はパワーMOSFETの主要部の断面図であり、ベース領域3にライフタイムキラ-12が導入されている。このライフタイムキラ-12は $1 \times 10^{15} / \text{cm}^2$ のプロトンのイオン打ち込みによって形成された。この結果、寄生バイポーラトランジスタ動作の発生がさらに低く抑えられ、またドレイン・ベース間のダイオードの逆回復時間も

約1桁低減できた。

次に本発明の他の実施例を第6図を用いて説明する。第6図(a)はパワーMOSFET、ドライバMOSFETからなる回路図、第6図(b)はその集積回路の断面図である。p形半導体基板14上にn形高濃度領域15をドレインとするパワーMOSFET及びドライバMOSFETが形成され、アイソレーション17もU字形溝構造を利用して形成されている。この結果、パワーMOSFETのドライブが容易になると共に、実装密度は従来の構造の約2倍向上し、かつ破壊耐量も低下することはなかった。

以上の実施例ではnチャネルパワーMOSFETを例にとって説明したが、pチャネル形でも同様な効果がある。またゲート絶縁膜としてシリコン酸化膜及び酸化タンタル膜を含む高誘電率複合膜を用いたが他の高誘電率複合膜、例えば酸化チタン膜、オキシナイトライド膜、酸化イットリウム膜を含む膜等でもよく、そしてゲート電極として多結晶シリコンを用いたが、他の材料、例えば、

アルミニウム、タングステン、モリブデン、タングステンシリサイド、モリブデンシリサイド、又はチタンシリサイドでも本発明の思想を逸脱しない限りにおいて変更可能である。

〔発明の効果〕

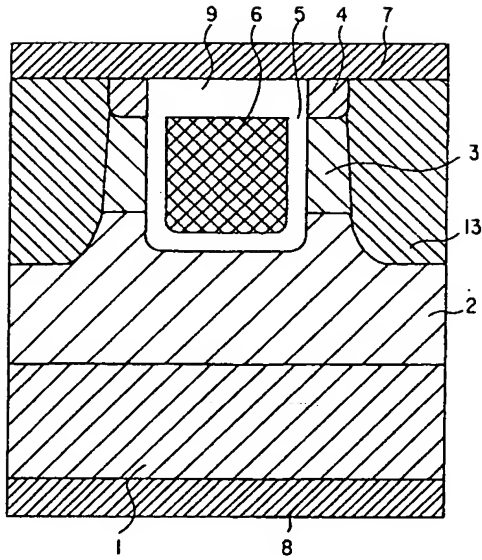
本発明によれば、1負荷ラッチング耐量の向上した信頼性に優れた半導体装置を提供することができた。

4. 図面の簡単な説明

第1図は本発明の一実施例の縦型パワーMOSFETの主要部の縦断面図、第2図はその製造プロセスを示す主要部の縦断面図、第3図は本発明の他の実施例の縦型パワーMOSFETの主要部の平面図及び縦断面図、第4図は本発明の他の実施例の縦型パワーMOSFETの主要部の平面図、第5図は本発明の他の実施例の縦型パワーMOSFETの主要部の縦断面図、第6図は本発明の他の実施例の回路図及びその主要部の縦断面図、第7図は従来の縦型パワーMOSFETの主要部の縦断面図である。

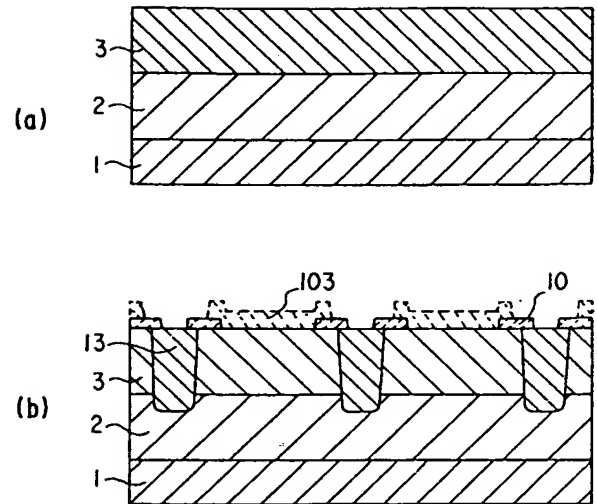
- 1…高濃度半導体基板
- 2…ドレイン領域 3…ベース領域
- 4…ソース領域 5…ゲート絶縁膜
- 6…ゲート電極 7…ソース電極
- 8…ドレイン電極 9…絶縁膜
- 10…シリコン窒化膜 11…溝
- 12…ライフタイムキラ-
- 13…高濃度ベース領域
- 14…p形半導体基板
- 15…n形高濃度領域
- 16…ドレイン取り出し領域
- 17…アイソレーション
- 18…保護膜
- 103、104…ホトレジスト膜

代理人弁理士 中 村 純 之 助



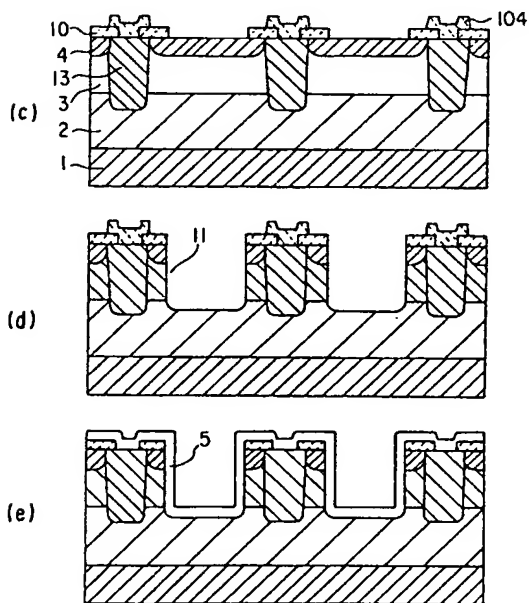
第 1 図

- | | | |
|--------------|------------|---------------|
| 1---高濃度半導体基板 | 4---ソース領域 | 7---ソース電極 |
| 2---ドレイン領域 | 5---ゲート絶縁膜 | 8---ドレイン電極 |
| 3---ベース領域 | 6---ゲート電極 | 13---高濃度ベース領域 |



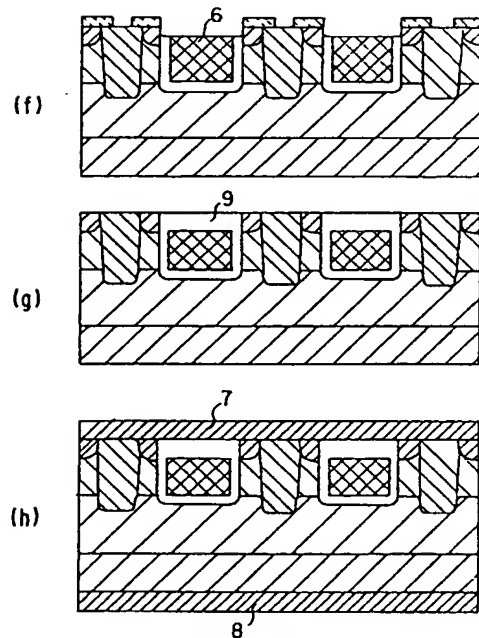
第 2 図

- | |
|-----------------|
| 1-----高濃度半導体基板 |
| 2-----ドレイン領域 |
| 3-----ベース領域 |
| 10-----シリコン窒化膜 |
| 13-----高濃度ベース領域 |
| 103-----ホトレジスト膜 |



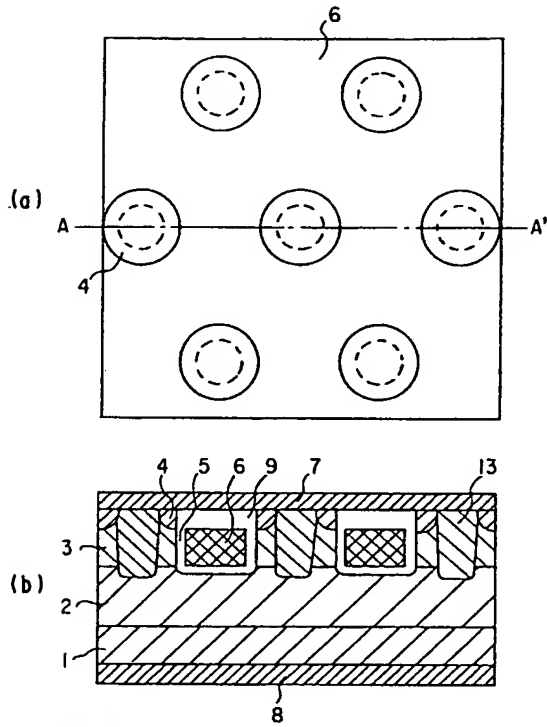
第 2 図

- | | |
|--------------|---------------|
| 4---ソース領域 | 13---高濃度ベース領域 |
| 5---ゲート絶縁膜 | 104---ホトレジスト膜 |
| 10---シリコン窒化膜 | |



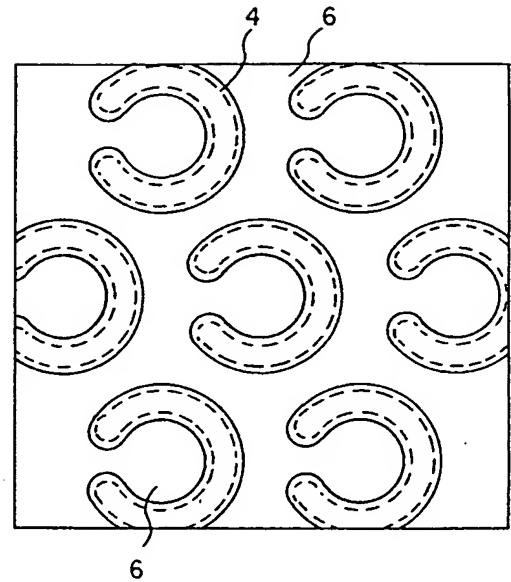
第 2 図

- | |
|--------------|
| 6-----ゲート電極 |
| 7-----ソース電極 |
| 8-----ドレイン電極 |
| 9-----絶縁膜 |



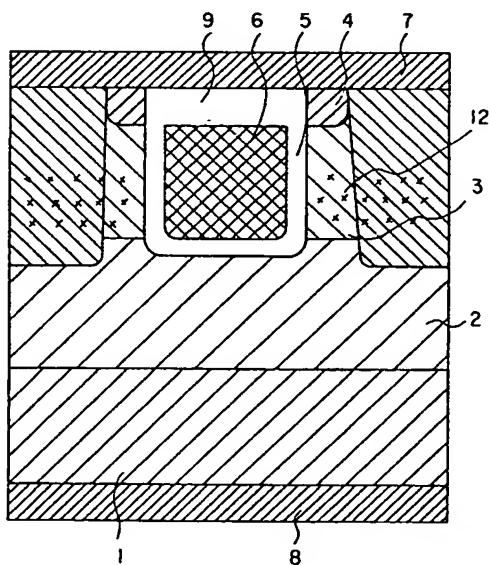
4-----ソース領域
5-----ゲート絶縁膜
6-----ゲート電極

第 3 図



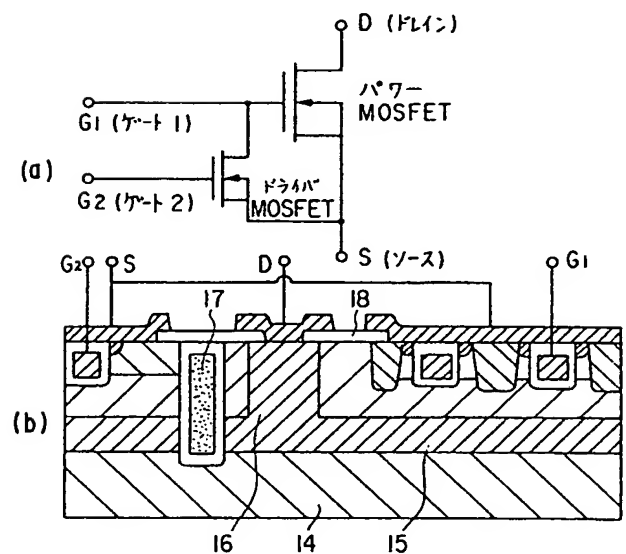
第 4 図

4-----ソース領域
6-----ゲート電極



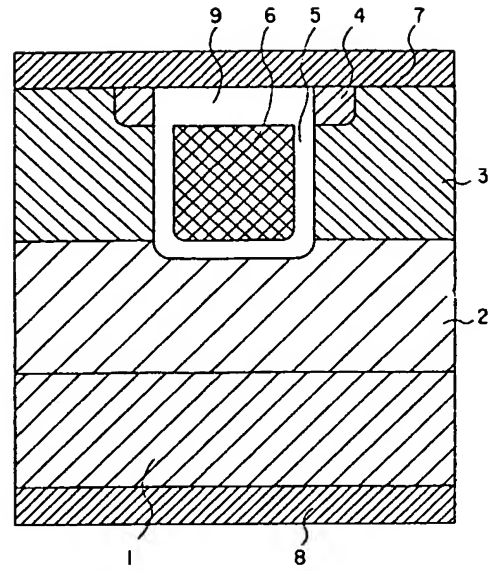
第 5 図

2---ドレイン領域
3---ベース領域
4---ソース領域
5---ゲート絶縁膜
6---ゲート電極
7---ソース電極
8---ドレイン電極
12---ライフタイムキラ



第 6 図

14-----P形半導体基板
15-----n形高濃度領域
16-----ドレイン取出し領域
17-----アイソレーション



第 7 図

- | | | |
|--------------|------------|------------|
| 1---高濃度半導体基板 | 4---ソース領域 | 7---ソース電極 |
| 2---ドレイン領域 | 5---ゲート絶縁膜 | 8---ドレイン電極 |
| 3---ベース領域 | 6---ゲート電極 | |